

DIALOG(R)File 352:Derwent WPI
(c) 2002 Derwent Info Ltd. All rts. reserv.
008452367 **Image available**

WPI Acc No: 1990-339367/199045

Thin-film FET array for active-matrix liquid-crystal display panel - uses
FET gate and drain wirings formed of lamination of silicide film and
silicon film NoAbstract Dwg 1/7

Patent Assignee: HITACHI LTD (HITA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 2245739	A	19901001	JP 8966222	A	19890320	199045 B

Priority Applications (No Type Date): JP 8966222 A 19890320

Title Terms: THIN; FILM; FET; ARRAY; ACTIVE; MATRIX; LIQUID; CRYSTAL;
DISPLAY; PANEL; FET; GATE; DRAIN; WIRE; FORMING; LAMINATE; SILICIDE;
FILM ; SILICON; FILM; NOABSTRACT

Derwent Class: P81; U12; U14

International Patent Class (Additional): G02F-001/13; H01L-021/32;

H01L-029/78

File Segment: EPI; EngPI

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03270239 **Image available**

ACTIVE MATRIX SUBSTRATE AND PRODUCTION THEREOF

PUB. NO.: 02-245739 [JP 2245739 A]

PUBLISHED: October 01, 1990 (19901001)

INVENTOR(s): ONO KIKUO
KONISHI NOBUTAKE

APPLICANT(s): HITACHI LTD [000510] (A Japanese Company or Corporation), JP
(Japan)

APPL. NO.: 01-066222 [JP 8966222]

FILED: March 20, 1989 (19890320)

INTL CLASS: [5] G02F-001/136; H01L-021/3205; H01L-029/784

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS)

JOURNAL: Section: P, Section No. 1145, Vol. 14, No. 574, Pg. 9,
December 20, 1990 (19901220)

ABSTRACT

PURPOSE: To provide the substrate having low resistance wirings and to eliminate the influence of photopatterns by adopting silicide layers or the laminated structure of silicon and the silicide to the respective wirings in at least the orthogonally intersected parts of the drain wirings and gate wirings formed on the substrate.

CONSTITUTION: The laminated structure of an n^(sup +) layer formed by doping, for example, phosphorus to silicon and the silicide layer 10 is adopted to the drain wirings 3 and the gate wirings 2 in the orthogonally intersected parts of the wirings. Since the silicide wirings are used including in the orthogonally intersected parts of the wirings in such a manner, the wiring resistance decreases and since the silicide has high heat resistance, the activation heat treatment of the impurity of the n^(sup +) layer is smoothly executed after a photoetching stage and film working for the wirings for which the fine working is needed. The reason thereof lies in that the shrinkage of the glass substrate 1 generated by the heat treatment arises after the end of the fine photoetching stage and, therefore, the influence of the misregistration of the photopatterns by the substrate shrinkage is drastically lessened. The active matrix substrate which has the low resistance wirings and is free from the influence of the misregistration of the photopatterns by the heat treatment is obtained

④公開特許公報(A)

平2-245739

⑤Int.Cl.⁵G 02 F 1/136
H 01 L 21/3205
29/784

識別記号

500

序内整理番号

7370-2H

③公開 平成2年(1990)10月1日

6810-5F H 01 L 21/88
8624-5F 29/78

311 Q

審査請求 未請求 請求項の数 12 (全9頁)

⑥発明の名称 アクティブマトリクス基板およびその製造方法

⑦特 願 平1-66222

⑧出 願 平1(1989)3月20日

⑨発明者 小野 記久雄 沖縄県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑩発明者 小西 信武 沖縄県日立市久慈町4026番地 株式会社日立製作所日立研究所内

⑪出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑫代理人 弁理士 小川 勝男 外2名

明細書

1. 発明の名称

アクティブマトリクス基板およびその製造方法

2. 特許請求の範囲

1. 透明基板上にドレイン配線及び前記ドレイン配線と交差するゲート配線を備え、マトリクス状に形成された前記ドレイン配線とゲート配線の交点に、島状のシリコン薄膜を用いたMOS型薄膜トランジスタが設けられており、前記トランジスタのソース領域に透明電極であるインジウムスズ酸化膜が接続されており、前記ドレイン配線とゲート配線との交差部分の断面構造が基板上にゲート配線、絶縁膜、ドレイン配線あるいはドレイン配線、絶縁膜、ゲート配線を有するアクティブマトリクス基板において、少なくとも配線直交部分のゲート配線及びドレイン配線がシリサイド層あるいはシリコンとシリサイド層の積層構造からなることを特徴とするアクティブマトリクス基板。

2. 特許請求の範囲第1項において、前記透明基板がガラス基板であることを特徴とするアクテ

イブマトリクス基板。

3. 透明基板上にドレイン配線及び前記ドレイン配線と直交するゲート配線を備え、マトリクス上に形成された前記ドレイン配線と前記ゲート配線との交点に、島上のシリコン薄膜を用いたMOS型薄膜トランジスタが設けられており、前記薄膜トランジスタのソース領域に透明電極であるインジウムスズ酸化膜が接続されており、前記ドレイン配線と前記ゲート配線との直交部分の断面構造が基板上にゲート配線、絶縁膜、ドレイン配線あるいはドレイン配線、絶縁膜、ゲート配線を有するアクティブマトリクス基板において、前記ドレイン配線及びインジウムスズ酸化物(ITO)と接続されるソース電極がゲート配線上に被覆された絶縁膜上に形成され、前記ドレイン配線及びソース電極が絶縁膜に開けられたコンタクトホールを介してトランジスタのドレイン及びソース領域に電気的に接続された構造を有し、前記ドレイン配線及びソース電極がシリサイド層あるいはシリコンとシ

リサイドの複層構造からなることを特徴とするアクティブマトリクス基板。

4. 特許請求の範囲第1または2項において、前記ゲート配線に電圧を印加した場合にゲート絶縁膜を介して電子あるいは正孔が誘起されるチャネルシリコン層上のゲート配線のシリコン層にシリサイド層が形成されていないことを特徴とするアクティブマトリクス基板。

5. 特許請求の範囲第1, 第2, 第3又は第4項において、前記シリサイド層が白金シリサイド、モリブデンシリサイド、タングステンシリサイド、チタンシリサイドあるいはパラジウムシリサイドであることを特徴とするアクティブマトリクス基板。

6. 特許請求の範囲第1, 第2, 第3又は第4項において、シリコン層がポリシリコンあるいはアモルファスシリコンまたは両者の複合膜であることを特徴とするアクティブマトリクス基板。

7. 所定の基板上に、少なくとも、複数の島状のシリコン薄膜を用いたMOS型薄膜トランジスタ

と、前記薄膜トランジスタの1端子領域に接続された耐圧電極とを有するアクティブマトリクス基板において、前記耐圧電極はインジウムスズ酸化膜より構成され、シリサイド層とシリコンとを介して前記薄膜トランジスタの1端子領域に接続されたことを特徴とするアクティブマトリクス基板。

8. 所定の基板上に、少なくとも、複数の島状のシリコン薄膜を用いたMOS型薄膜トランジスタと、前記薄膜トランジスタの1端子領域に接続された耐圧電極とを有するアクティブマトリクス基板において、前記薄膜トランジスタ上には層間絶縁膜が設けられ、前記層間絶縁膜にもうけられたスルーホールにはシリコンが充填され、前記層間絶縁膜外において前記シリコン上に形成されたシリサイド層上に耐圧電極が接続されたことを特徴とするアクティブマトリクス基板。

9. 透明基板上にドレイン配線及び前記ドレイン配線と直交するゲート配線を備え、マトリクス

上に形成された前記ドレイン配線と前記ゲート配線との交点に、島状のシリコン薄膜を用いたMOS型薄膜トランジスタが設けられており、前記薄膜トランジスタのソース領域に透明電極であるインジウムスズ酸化膜が接続されており、前記ドレイン配線と前記ゲート配線との直交部分の断面構造が基板上にゲート配線、絶縁膜、ドレイン配線あるいはドレイン配線、絶縁膜、ゲート配線を有するアクティブマトリクス基板において、少なくとも配線直交部分のゲート配線及びドレイン配線が、不純物の活性化を行うための高温処理に耐え且つ透明電極より低抵抗の材料からなることを特徴とするアクティブマトリクス基板。.

10. 請求項第1項乃至請求項第9項のいずれか記載のアクティブマトリクス基板を用いた液晶表示装置。

11. 透明基板上にドレイン配線及び前記ドレイン配線と直交するゲート配線を備え、マトリクス上に形成された前記ドレイン配線と前記ゲート

配線との交点に、島状のシリコン薄膜を用いたMOS型薄膜トランジスタが設けられており、前記薄膜トランジスタのソース領域に透明電極であるインジウムスズ酸化膜が接続されており、前記ドレイン配線と前記ゲート配線との直交部分の断面構造が基板上にゲート配線、絶縁膜、ドレイン配線あるいはドレイン配線、絶縁膜、ゲート配線を有するアクティブマトリクス基板の製造方法において、前記ドレイン配線と前記ゲート配線を形成する工程よりも後に、前記島状のシリコン薄膜に注入された不純物の活性化処理を行なうことを特徴とするアクティブマトリクス基板の製造方法。

12. ホトリソグラフィ工程によって、透明基板上に半導体素子を含む回路パターンを形成するアクティブマトリクス基板の製造方法において、前記ホトリソグラフィ工程後に、前記半導体素子中の不純物の活性化を行うための高温処理工程を行なうことを特徴とするアクティブマトリクス基板の製造方法。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は液晶表示装置等に用いられるガラス等の透明基板上に薄膜トランジスタ(TFT)を形成したアクティブマトリクス基板の構造およびその製造方法に関するものである。

〔従来の技術〕

大画面の液晶表示装置を実現する上では、マトリクス状に形成された配線の抵抗値が問題となる。配線抵抗が高い場合には液晶への電圧導込みが不足し、画面のコントラスト比が得られなくなる。従来のTFTを用いたアクティブマトリクス基板の一例としては英商昭62-120354号公報に記載されている。このアクティブマトリクス基板は直交する配線の少なくとも一方がシリサイド層あるいはシリコン層とシリコンの2層からなる低抵抗配線を用いている。

〔発明が解決しようとする課題〕

上記従来技術は、大画面液晶表示装置を実現する上で、1) ドレイン配線とゲート配線の交差部

的にITO、ITOそれぞれの酸化物をエッチング加工することが難しい。さらに、ITOの蓄積電極とトランジスタのソース領域との電気的接続が従来技術では問題になる。すなわちITOは酸化物であるためソース電極とITOやシリコンを用いると低温熱処理(200°C以上)でさえも界面に酸化物(例えば、アルミナやSiO₂)が形成されるためコンタクト不良になるという問題がある。

本発明は、1) 低抵抗配線、2) ガラス基板取締によるホトパターン合わせのずれの少ない、3) ITOと配線材料との選択エッチング可能でITOとソース電極とのコンタクト抵抗の少ないアクティブマトリクス基板の構造および製造方法を提供することにある。

〔課題を解決するための手段〕

上記目的を達成する手段としては、基板上に形成されたドレイン配線とゲート配線の少なくとも直交部分の各々の配線をシリサイド層あるいはシリコンとシリサイドの複層構造とする。これにより、低抵抗配線を有したままでホトパターンの部

に高抵抗のシリコン層あるいはITOが用いられているため抵抗遮断で液晶に十分電圧が印加されない、2) ドーピング層の不純物を活性化熱処理する工程で生ずるガラス基板の取締の点について配慮されておらず微細加工ホトパターン形成が実質上困難になるという問題がある。配線抵抗を低減する方法としては、上記従来発明の実施例においてAlを用いて配線交差部を接続することが考えられるが、Alは500°C以上の熱処理を加えると溶融する。このことは、微細加工が必要な配線用ホト以前にドーピング層の活性化熱処理(通常550°C以上)を行う必要を生じさせる。このことは逆にAl配線のホト時にすでに活性化熱処理が加えられているため、熱処理によるガラス基板の取締が発生していることでホトパターンのズレが生じてしまうという問題がある。また、Alを用いる場合ITOで形成された蓄積電極とのエッチング加工技術が困難になるという新たな問題が生ずる。すなわち、AlとITOは共に硝酸、塩酸等の混合液でエッチング加工するため、選択

層をなくすようにできる。上記他の手段として、ドレイン配線及びソース電極をゲート配線上に被覆された絶縁物に形成し、これを絶縁膜上に形成されたコンタクトスルホールを介してトランジスタのドレイン及びソース領域と接続し、前記ドレイン配線及びソース電極をシリサイド層あるいはシリコンとシリサイドの複層することである。これにより、ITOの選択エッチ、コンタクト抵抗低減が可能になる。

上記目的を達成するさらに他の手段として、透明基板上にドレイン配線及び前記ドレイン配線と直交するゲート配線を備え、マトリクス上に形成された前記ドレイン配線と前記ゲート配線との交点に、島状のシリコン薄膜を用いたMOS型薄膜トランジスタが設けられており、前記薄膜トランジスタのソース領域に透明電極であるインジウムスズ酸化膜が接続されており、前記ドレイン配線と前記ゲート配線との直交部分の断面構造が基板上にゲート配線、絶縁膜、ドレイン配線あるいはドレイン配線、絶縁膜、ゲート配線を有するアク

ティプマトリクス基板の製造方法において、前記ドレイン配線と前記ゲート配線を形成する工程よりも後に、前記島状のシリコン薄膜に注入された不純物の活性化処理を行なうことを特徴とする。

【作用】

ドレイン配線及びゲート配線をシリサイド層あるいはシリコンとシリサイド層との積層構造とすることは、配線の抵抗率は $200 \mu\Omega \cdot cm$ 以下となり、これは対角 10 インチ以上の液晶表示装置に使用できる低抵抗配線となる。また、シリサイド層は $800^{\circ}C$ 以上の耐熱温度があるため、微細加工が必要な配線のホトパターン形成後にドーピング層の不純物の活性化熱処理が行えるため、ガラス基板取締による配線のホトパターンのずれが生じない。スルホールを介して絶縁物上に形成されたシリサイド層によるドレイン配線及びソース電極は、ITO のエッティング液である硝酸や塩酸の混合液に対して侵食されないため、ITO の選択エッチが可能になると共にシリサイド層は A 层やシリサイドに比べて酸化されにくいで ITO

とソース電極とのコンタクト特性は良い。従つて、以上の作用で大画面の液晶表示装置を実現する。

【実施例】

以下、本発明の一実施例を第 1 図、第 2 図により説明する。第 2 図 (a) はアクティブマトリクス基板の平面図、第 2 図 (b) は 1 画素の平面図、第 1 図 (a) は第 2 図 (b) の A-A' 線上の断面図、第 1 図 (b) は B-B' の断面図である。

第 1 図、第 2 図において、1 はガラス基板、2 はゲート配線、3 はドレイン配線、4 は薄膜トランジスタである。第 2 図 (a) にアクティブマトリクス基板の働きを説明する。ゲート配線 2 及びドレイン配線 3 がガラス基板 1 上にそれぞれが直交するようにマトリクス状に配置される、それぞれの交点に薄膜トランジスタ 4 が形成されている。外部からゲート配線 2 及びドレイン配線 3 に印加された電圧は薄膜トランジスタ 4 を通して液晶容量 30 へ充電し、この充電電圧により液晶を反転させる。この液晶容量 30 は、ITO 閻電極とガラス基板 1 に対向するように設けられた、他の

ガラス基板上に形成された共通電極と、これらに挿込まれた液晶材料から構成される。第 2 図 (b) はゲート配線 2 とドレイン配線 3 の 1 つの交点付近の平面図であり、ドレイン配線へ加えられた電圧はドレインスルホール 7、ソーススルホール 6、ソース電極 5、ITO 閻電極 8 の経路で伝えられ、液晶へ電圧を印加する。第 2 図 (b) の A-A' の断面構造図、B-B' の断面構造図をそれぞれ第 1 図 (a)、第 1 図 (b) に示す。第 1 図 (a) はゲート配線 2 とドレイン配線 3 の交差部の断面構造であり、本発明の特徴の一つは、本断面構造にある。即ち、配線直交部のドレイン配線 3 及びゲート配線 2 がシリコンに、例えばリンをドーピングした n+ 層とシリサイド層 10 の積層構造となっている。配線直交部も含めて、シリサイド配線を用いているため、配線抵抗が小さく大画面の液晶表示装置が電圧の遅延を起こすことがなく駆動できる。もちろん、ドレイン配線とゲート配線は層間絶縁膜 11 により絶縁されている。

第 1 図 (b) は第 2 図の B-B' 線上の断面構

造であり、いわゆる薄膜トランジスタの断面構造である。それぞれの部分の働きは以下の通りである。

ゲート配線 2 に正の電圧が印加されるとゲート絶縁膜 23 を介して不純物が意識的に添加されていないノンドープのシリコン層 24 に加わる。この場合、ゲート絶縁膜 23 とノンドープ層 24 の界面に電子の反転層が形成される。ゲート電圧が印加されていると同時にドレイン配線 3 に電圧が印加されると、シリコンに、例えば、リンをドーピングした n+ のドレイン領域 22、反転層が形成されたノンドープ層 24、22 同様のソース領域 21、ソース電極 12 という電流経路をへて、ITO 閻電極 8 へ電荷を蓄積して、液晶を反転させる。本発明の 2 番目の特徴としては、第 1 図 (b) の断面構造であり、ドレイン配線 3 及びソース電極 12 が層間絶縁膜 11 上にあり、それぞれがスルホールを通してドレイン領域 22 あるいはソース領域 21 と接続されており、しかも絶縁膜上には n+ のシリコン層とシリサイド層 10 の

積層構造をなしている点である。シリサイド層10はITO酸素電極8をエッティングする領域と塗膜の混合液ではエッティングされないためITOとドレイン配線及びソース電極に対して選択的にエッティングされる。また、シリサイド層はシリコンやAlに比べてITOからの酸素の析出によつてソース電極12とITO酸素電極8界面に酸化膜が形成されにくいのでコンタクト特性は良好となる。

また、TFTの島状のシリコン膜上に直接シリサイドを作る必要がないため、TFTの島状のシリコン膜を薄く形成できるという効果がある。

また、スルーホールへ埋込む導電材としてn+シリコンを用いているが、Al等よりもスルーホールのカバーレージが良く形成できる。

ドレイン配線3、ゲート配線2及びソース電極12がシリコンとシリサイド層12の積層構造となっていることは、シリサイドは耐熱性が高いため、微細加工が必要な上記の配線のホト工程および膜加工後にn+層の不純物の活性化熱処理を無

理なく行える。このことは、熱処理によって生ずるガラス基板1の収縮が微細ホト工程終了後に起こるため、基板収縮によるホトパターン合せのズレの影響が著しく低減される特徴を有する。

本発明の主要プロセスを第3図の断面構造図を用いて説明する。第3図(a)に示すように、ガラス基板1にノンドープのシリコン層24を例えばプラズマ化学気相成長(PCVD)法や減圧化学気相成長(LPCVD)法で堆積し、レジスト30を塗布、島状のマスクで露光、現像のホト工程を行い、ノンドープのシリコン層24をドライエッティングする。レジスト剥離後に、同図(b)で示すように、常圧CVD法やPCVD法により、例えばSiO₂の成分からなるゲート絶縁膜2-3を堆積する。続いてリンを含むn+半導体であるゲートシリコン層35を、PCVD法あるいはLPCVD法で堆積し、レジスト30を塗布、ホト工程を行つた後、シリコン層のドライエッティングを行う。以上の膜堆積の温度はガラス基板の収縮防止のため500℃以下の温度で行う。レジス

ト剥離後に、白金(Pt)40をスパッタ法で被覆し、400℃の熱処理を施す。この熱処理を行うとゲートシリコン35と接したPt層40のみがシリコンと反応してシリコン上に白金シリサイド層を形成する。次に、絶縁膜2-3上の未反応のPt層は、硝酸と塗膜の混合液によって除去する。

次に、第3図(d)に示すように、リン(P+)をイオン打ち込みあるいは高周波プラズマ中でのPH₃ガスの分解によって行なうプラズマドーピング法により打ち込む。打ち込まれたリンは同図(e)で示すように、ドレイン領域22及びソース領域21のn+層を形成する。次に、例えば常圧CVD法により480℃の堆積温度で層間絶縁膜11を堆積する。続いて、レジスト30を塗布し、ホト工程を経て、ドレイン領域20及びソース領域21に対するスルーホールを形成する溝式エッティングを行う。次に、PCVD法あるいはLPCVD法によりリンガードープされたドライシリコン層を堆積する。さらに、第3図(f)に示すようにレジスト30を塗布、露光、現像する。

次に、ドレインシリコン層45をドライエッティング、レジスト剥離後、第3図(c)で示すと同様に白金をスパッタして、400℃の熱処理をして、第3図(g)に示すようにシリサイド層10(白金シリサイド)を形成する。次に、第3図(h)に示すように8のITO電極をスパッタ法で形成し、前記同様のホトエッティングによりソース電極12上にITO電極8を各画素毎に加工する。最終的にn+層の抵抗を下げるために600℃の不純物活性化熱処理を行う。この熱処理はプロセス工程上の最高温温度であり、この温度でガラス基板1が収縮するが、微細加工が必要なホト工程が終了しているので基板収縮が原因となるホトパターンずれは生じない。また、500℃以下の熱処理ではガラス基板収縮の影響は少ないが、n+層は活性化されず、特にドレイン領域22及びソース領域21の抵抗が大きくなり、薄膜トランジスタの電流値を制限して大画面を駆動できない。

次に、本発明の第2の実施例について、第4図。

第5図で説明する。第4図は本発明の1つの画素の平面図、第5図(a)は第4図のA-A'線上の断面図、第5図(b)は第4図のB-B'線上の断面図である。本発明の構造上の特徴は、第5図(a)及び(b)に示すようにゲート配線2の内で、少なくともノンドープ層24上にはシリサイド層10が形成されていないことである。これは、第一の実施例(第1図)に比べて、ノンドープ層24上にシリサイド層10が形成されていない効果として、ノンドープ層24とゲート+層50の間のゲート絶縁膜23の耐圧が向上する。これは、シリコン層がシリサイド層に比べてゲート絶縁膜23上に現われる表面凹凸が小さく、電界集中が小さくできるからである。

次に、本発明の第3の実施例について、第6図、第7図を用いて説明する。第6図は本発明の1画素の平面図、第7図(a)はA-A'線上の断面図、第7図(b)はB-B'線上の断面図である。第1及び第2の実施例と構造上異なる特徴は、第7図の断面図で示すように、ITO画素電極8と

成する材料としてタングステン、モリブデン、チタンバラジウム、不純物としてボロン、ヒ素を用いた場合にも同様の効果が得られることは言うまでもない。

上記したアクティブマトリクス基板は、制御回路等を有することによって、液晶表示装置などに使用される。

【発明の効果】

本発明によれば、大画面液晶表示装置を実現する低抵抗配線を有し、しかも熱処理によるガラス基板の収縮によるホト合せパターンずれの影響がなく、しかもITOの選択エッチやITOと配線間のコンタクト抵抗も少なくてできる効果がある。

4. 図面の簡単な説明

第1図は本発明の第1の実施例アクティブマトリクス基板の断面構造、第2図は第1図に示す基板の平面構造、第3図は第1図に示す基板の製造工程を示す断面図、第4図は本発明の第2の実施例のアクティブマトリクス基板の平面図、第5図は第4図の基板の断面図、第6図は本発明の第3

平行しているドレン配線3が層間絶縁膜11直下に埋め込まれている。この埋め込まれたドレン配線3は第1の実施例(第1図(b))のドレン領域22と同一工程でつくられたシリコン膜に第7図(b)のシリサイド層10を被覆形成したものである。本実施例の特有の効果は第7図(b)に示すようにドレン配線3が絶縁膜11の下に埋込まれ、逆にITO画素電極8は絶縁膜上に設置されているため、ITOをエッティングした際にエッティング不良により発生する、第6図の×印で示した部分で生じやすいドレン配線3とITO画素電極8との短絡欠陥が著しく低減されることである。

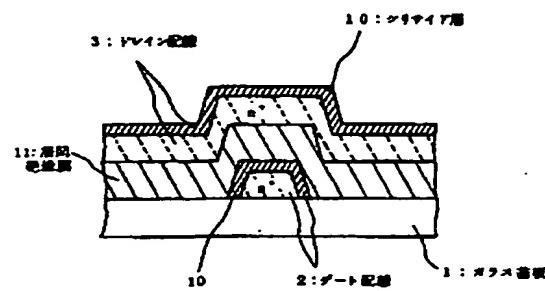
以上の本発明の実施例では、半導体層を形成するシリコン材料について特定していないが、これはPCVD法やLPCVD法で形成する多結晶シリコンあるいは非晶質シリコンである。シリサイド層を形成する金属材料として白金、ドーピングの不純物としてリンを例にとって説明したが、本発明の主旨から明らかかなように、シリサイドを形

の実施例のアクティブマトリクス基板の平面図、第7図は第6図の基板の断面図である。

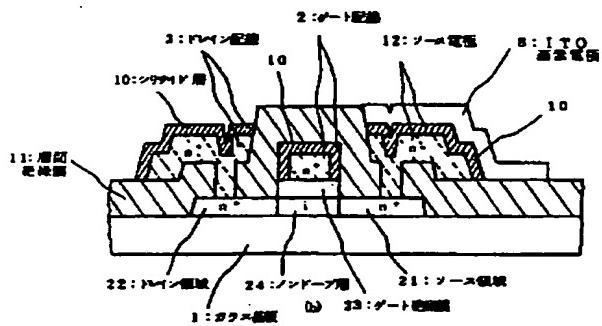
1…ガラス基板、2…ゲート配線、3…ドレン配線、8…ITO画素電極、10…シリサイド層。

代理人 弁理士 小川勝男

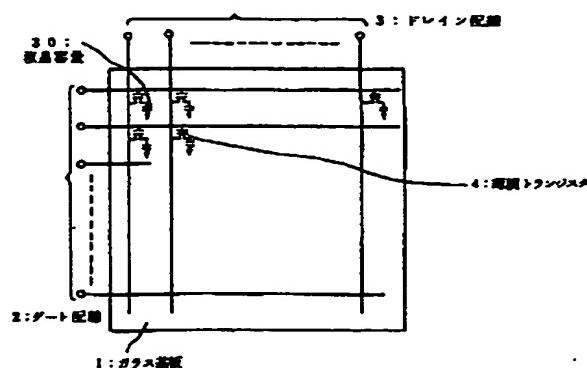
第1図(a)



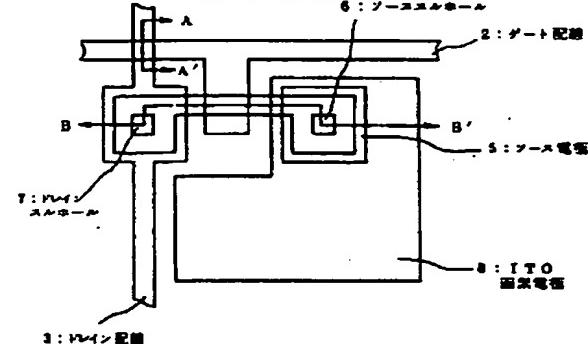
第1図(b)



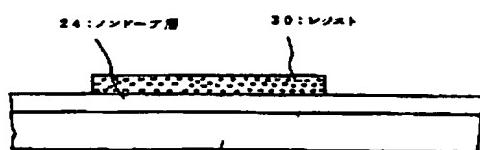
第2図(a)



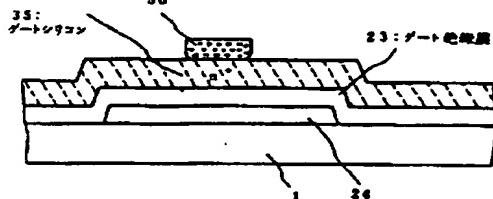
第2図(b)



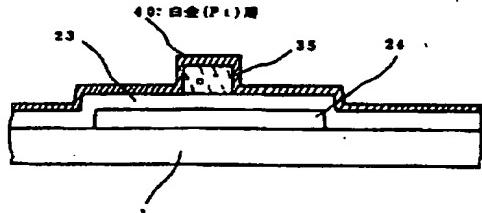
第3図(a)



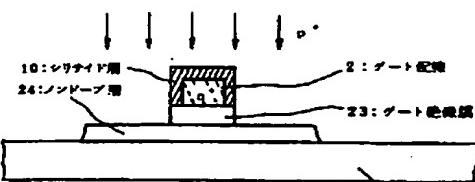
第3図(b)



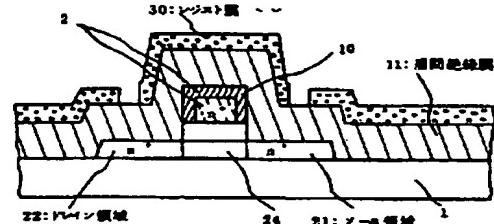
第3図(c)



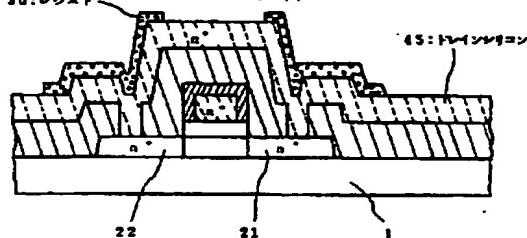
第3図(d)



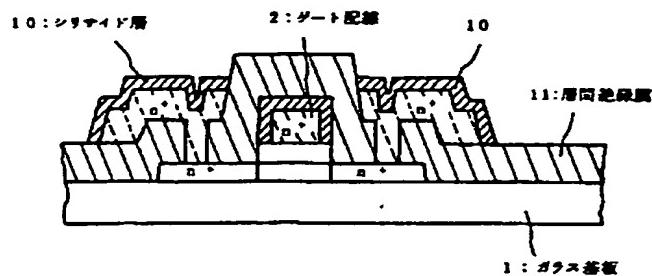
第3図(e)



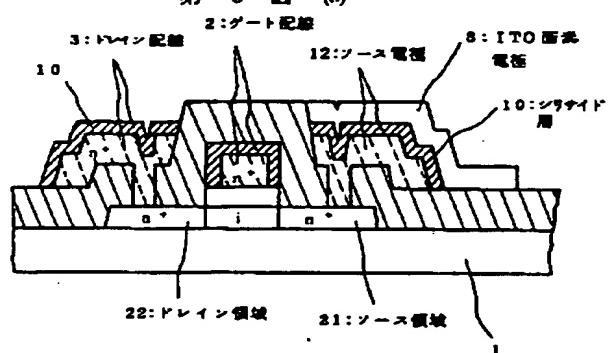
第3図(f)



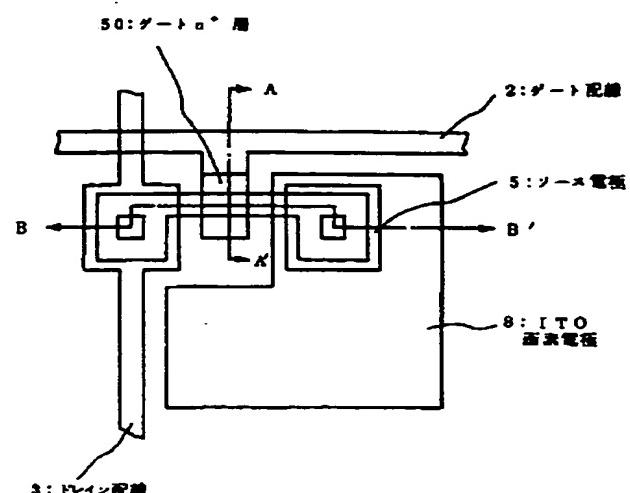
第3図 (g)



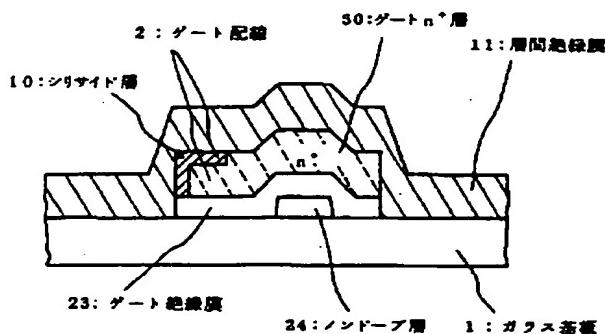
第3図 (h)



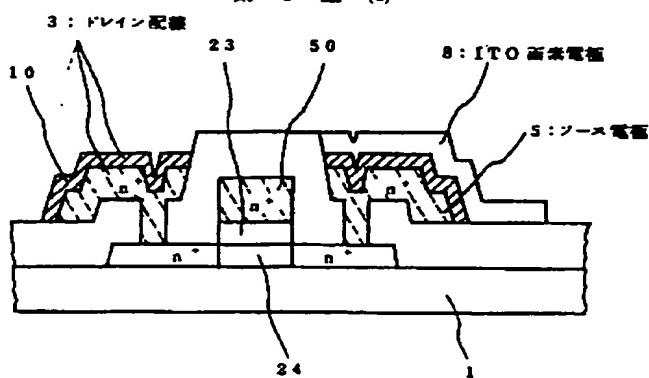
第4図



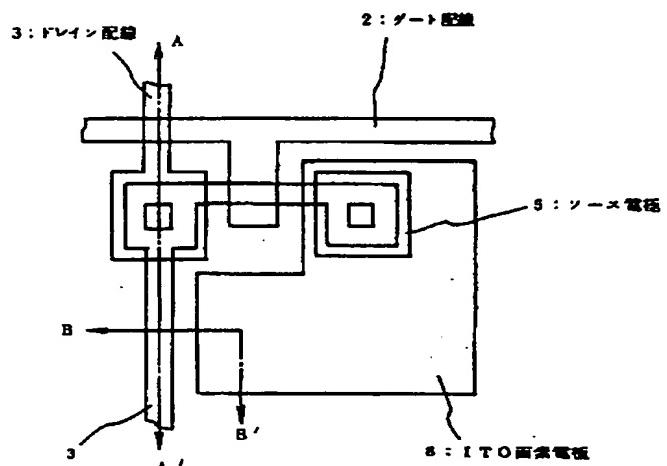
第5図 (a)



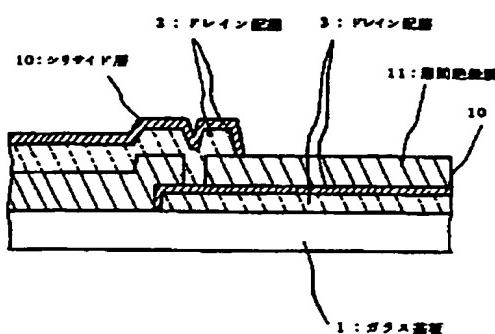
第5図 (b)



第6図



第7図 (a)



第7図 (b)

